

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199720

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

H01L 29/78
H01L 21/265
H01L 21/285
H01L 21/3065

(21)Application number : 08-008160

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 22.01.1996

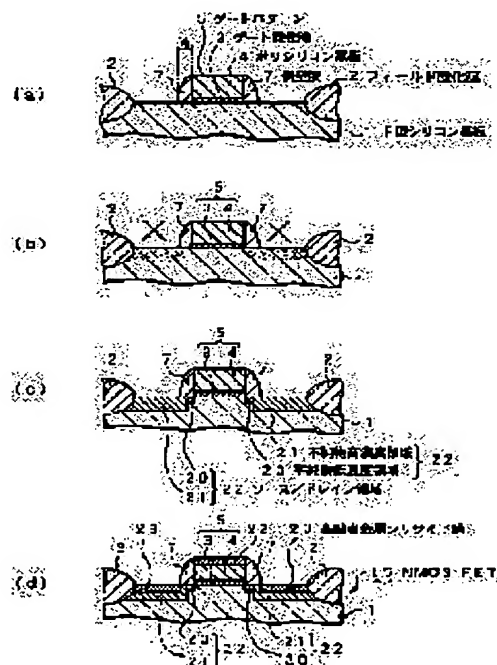
(72)Inventor : OTOMO ATSUSHI

(54) MOS TYPE SEMICONDUCTOR DEVICE AND ITS FABRICATION

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure enough ohmic contact at an interface between a high melting point metal silicide film and silicon in a source/drain region.

SOLUTION: A gate pattern 5 is formed on a silicon substrate 1, on opposite sides of which pattern a side wall film 7 is formed and a source/drain region 22 is formed, and a high melting point metal silicide film 23 is formed on the side of a side wall film 7 in the source/drain region 22. The source/drain area 22 includes an lightly doped region 20 where an impurity is diffused with low concentration and an impurity high concentration region 21 where the impurity is diffused with higher concentration than the former. A side end of the heavily doped region 21 on the side of the gate pattern 5 is disposed away from the gate pattern 5 compared with a side end of the tightly doped region 20. A side end of the high melting point metal silicide film 23 is disposed away from the gate pattern compared within a side end of the heavily doped region 31.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199720

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 S
21/265			21/285	3 0 1 T
21/285	3 0 1		21/265	V
21/3065				L
			21/302	J
審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く				

(21) 出願番号 特願平8-8160

(22) 出願日 平成8年(1996)1月22日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 大友 篤

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

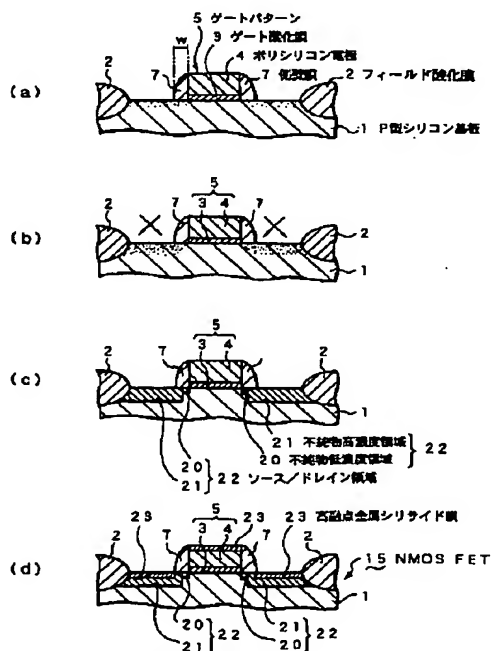
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 MOS型半導体装置とその製造方法

(57) 【要約】

【課題】 高融点金属シリサイド膜とソース/ドレイン領域中のシリコンとの界面において、十分なオーミック接触を確保したい。

【解決手段】 シリコン基板1上にゲートパターン5が形成され、ゲートパターン5の両側に側壁膜7が形成され、ゲートパターン5の両側にソース/ドレイン領域22が形成され、ソース/ドレイン領域22における側壁膜7の側方に、高融点金属シリサイド膜33が形成されている。ソース/ドレイン領域22は、不純物が低濃度に拡散された不純物低濃度領域20と、これより高い濃度に拡散された不純物高濃度領域21とからなる。不純物高濃度領域21のゲートパターン5側の側端は、不純物低濃度領域20の側端よりゲートパターン5から離れて配置されている。高融点金属シリサイド膜23のゲートパターン5側の側端は、不純物高濃度領域31の側端よりゲートパターン5から離れて配置されている。



本発明の製造工程説明図

【特許請求の範囲】

【請求項1】 第1導電型の不純物を表層部に拡散したシリコン基板上に、ゲート酸化膜とこれの上に配置されたゲート電極とからなるゲートパターンが形成され、該ゲートパターンの両側に絶縁材料からなる側壁膜が形成され、前記シリコン基板表層部における前記ゲートパターンの両側に、第2導電型の不純物が拡散されてなるソース／ドレイン領域が形成され、該ソース／ドレイン領域の表層部における前記側壁膜の側方に、高融点金属シリサイド膜が形成されてなり、前記ソース／ドレイン領域が、第2導電型の不純物が低濃度に拡散されてなる不純物低濃度領域と、第2導電型の不純物が前記不純物低濃度領域より高い濃度に拡散されてなる不純物高濃度領域とからなり、かつ該不純物高濃度領域の前記ゲートパターン側の側端が、不純物低濃度領域の前記ゲートパターン側の側端より該ゲートパターンから離れて配置されてなるMOS型半導体装置において、前記高融点金属シリサイド膜の前記ゲートパターン側の側端が、前記不純物高濃度領域のゲートパターン側の側端より該ゲートパターンから離れて配置されてなることを特徴とするMOS型半導体装置。

【請求項2】 第1導電型の不純物を表層部に拡散したシリコン基板上にゲート酸化膜とゲート電極部とからなるゲートパターンを形成する第1工程と、前記ゲートパターンをマスクにして前記シリコン基板の表層部に、第2導電型の不純物を低濃度でイオン注入する第2工程と、前記ゲートパターンを覆って前記シリコン基板上に絶縁膜を堆積形成する第3工程と、前記絶縁膜を異方性エッチングすることにより前記ゲートパターンの両側に該絶縁膜からなる側壁膜を形成する第4工程と、前記ゲートパターンおよび側壁膜をマスクにして前記シリコン基板の表層部に、前記第2工程でのイオン注入より高濃度で第2導電型の不純物をイオン注入する第5工程と、前記シリコン基板を熱処理することによって先に注入した不純物を活性化させ、不純物低濃度領域とこれより第2導電型の不純物濃度が高い不純物高濃度領域とからなるソース／ドレイン領域を形成する第6工程と、前記ゲートパターンを覆って前記シリコン基板上に高融点金属膜を形成する第7工程と、前記シリコン基板を熱処理することにより、前記高融点金属膜と前記ソース／ドレイン領域の表層部とをシリサイド化する第8工程と、前記高融点金属膜におけるシリサイド化されていない高融点金属部分を、ウェットエッチングにより除去する第9工程と、を備えてなるMOS型半導体装置の製造方法において、

前記第5工程におけるイオン注入を、シリコン基板表面に対してイオンを斜めに打ち込むことにより行うことを特徴とするMOS型半導体装置の製造方法。

【請求項3】 第1導電型の不純物を表層部に拡散したシリコン基板上にゲート酸化膜とゲート電極部とからなるゲートパターンを形成する第1工程と、前記ゲートパターンをマスクにして前記シリコン基板の表層部に第2導電型の不純物を低濃度でイオン注入する第2工程と、

10 前記ゲートパターンを覆って前記シリコン基板上に絶縁膜を堆積形成する第3工程と、前記絶縁膜を異方性エッチングすることにより前記ゲートパターンの両側に該絶縁膜からなる側壁膜を形成する第4工程と、前記ゲートパターンおよび側壁膜をマスクにして前記シリコン基板の表層部に、前記第2工程でのイオン注入より高濃度で第2導電型の不純物をイオン注入する第5工程と、前記シリコン基板を熱処理することによって先に注入した不純物を活性化させ、不純物低濃度領域とこれより第2導電型の不純物濃度が高い不純物高濃度領域とからなるソース／ドレイン領域を形成する第6工程と、前記ゲートパターンを覆って前記シリコン基板上に高融点金属膜を形成する第7工程と、前記シリコン基板を熱処理することにより、前記高融点金属膜と前記ソース／ドレイン領域の表層部とをシリサイド化する第8工程と、前記高融点金属膜におけるシリサイド化されていない高融点金属部分を、ウェットエッチングにより除去する第9工程と、を備えてなるMOS型半導体装置の製造方法において、

30 高濃度でイオン注入する前記第5工程と高融点金属膜を形成する前記第7工程との間に、前記ゲートパターンおよび側壁膜を覆って前記シリコン基板上に第2の絶縁膜を堆積形成する工程と、前記第2の絶縁膜を異方性エッチングすることにより、前記ゲートパターンの両側にある側壁膜の側部に該第2の絶縁膜からなる第2の側壁膜を形成する工程と、を備えたことを特徴とするMOS型半導体装置の製造方法。

40 【請求項4】 第1導電型の不純物を表層部に拡散したシリコン基板上にゲート酸化膜とゲート電極部とからなるゲートパターンを形成する第1工程と、前記ゲートパターンをマスクにして前記シリコン基板中に第2導電型の不純物を低濃度でイオン注入する第2工程と、前記ゲートパターンを覆って前記シリコン基板上に第1の絶縁膜を堆積形成する第3工程と、前記ゲートパターンをマスクにして前記第1の絶縁膜上よりシリコン基板の表層部に、前記第2工程でのイオン注入より高濃度で第2導電型の不純物をイオン注入する

50

第4工程と、
前記第1の絶縁膜を覆って第2の絶縁膜を堆積形成する第5工程と、
前記シリコン基板を熱処理することによって先に注入した不純物を活性化させ、不純物低濃度領域とこれより第2導電型の不純物濃度が高い不純物高濃度領域とからなるソース/ドレイン領域を形成する第6工程と、
前記第1の絶縁膜および第2の絶縁膜を異方性エッチングすることにより、前記ゲートパターンの両側に第1の絶縁膜および第2の絶縁膜からなる側壁膜を形成する第7工程と、
前記ゲートパターンを覆って前記シリコン基板上に高融点金属膜を形成する第8工程と、
前記シリコン基板を熱処理することにより、前記高融点金属膜と前記ソース/ドレイン領域の表層部とをシリサイド化する第9工程と、
前記高融点金属膜におけるシリサイド化されていない高融点金属部分を、ウェットエッチングにより除去する第10工程と、を備えてなることを特徴とするMOS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS (Metal Oxide Semiconductor) 型集積回路などとして用いられるMOS型半導体装置の構造、およびその製造方法に関する。

【0002】

【従来の技術】MOS型半導体装置においては、ソース/ドレイン・ゲート電極上に高融点金属シリサイド膜を自己整合的に形成するシリサイド法が、その高速化への要求に応える技術の一つとして重要なものとされている。このようなシリサイド法を用いたMOS型半導体装置の製造方法としては、従来、例えば図4(a)～

(f)に示す方法が知られている。図4(a)～(f)に示す方法は、MOS型半導体装置としてNMOS FET (NMOS トランジスタ) の製造例を示すものである。

【0003】この製造方法では、まず、図4(a)に示すようにP型シリコン基板1にPウェル(図示略)を形成し、さらにLOCOS法によってフィールド酸化膜2を形成する。次いで、公知の成膜技術、パターンニング技術によってゲート酸化膜3、ポリシリコン電極4からなるゲートパターン5を形成し、さらにこのゲートパターン5、前記フィールド酸化膜2をマスクにしてP型シリコン基板1表層部にN型不純物を低濃度でイオン注入する。次に、図4(b)に示すようにゲートパターン5を覆ってP型シリコン基板1上に、CVD法によってSiO₂からなる酸化膜(絶縁膜)6を堆積形成し、さらに図4(c)に示すように反応性イオンエッチングによる異方性エッチングによってゲートパターン5の両側に側

壁膜(サイドウォール)7を形成する。

【0004】次いで、図4(d)に示すようにゲートパターン5および側壁膜7、前記フィールド酸化膜2をマスクにしてP型シリコン基板1表層部にN型不純物を高濃度でイオン注入する。続いて、P型シリコン基板1を熱処理することにより、先にイオン注入した低濃度のN型イオンからなる不純物と高濃度のN型イオンからなる不純物とを活性化させ、拡散させる。そして、これにより図4(e)に示すように不純物低濃度領域8と不純物高濃度領域9とからなるソース/ドレイン領域10を形成する。なお、ここで形成される不純物低濃度領域8は、低濃度のイオン注入がなされ、かつその後高濃度のイオン注入がなされていない箇所、すなわち側壁膜7の略直下に位置せしめられたものとなる。

【0005】次いで、Ti等の高融点金属膜(図示略)を堆積形成し、さらに2段階短時間アニール法によってソース/ドレイン領域10上、およびゲートパターン5のポリシリコン電極4上に高融点金属シリサイド膜を形成する。その際、未反応の高融点金属を、高融点金属シリサイド膜との間で選択比のとれる酸によってエッチングすることにより、P型シリコン基板1上からこれを除去し、図4(f)に示すようにソース/ドレイン領域10上、およびゲートパターン5のポリシリコン電極4上にはのみ高融点金属シリサイド膜11を残した状態で該シリサイド膜11を形成し、NMOS FET 14を得る。

【0006】

【発明が解決しようとする課題】しかしながら、図4(a)～(f)に示した方法では、不純物を高濃度でイオン注入する際にマスクとして利用する側壁膜7と、シリサイド形成後に分離膜として機能させる側壁膜7とが同一であるため、高融点金属シリサイド膜11とソース/ドレイン領域10におけるシリコンとの横方向での界面、すなわち高融点金属シリサイド膜11のゲートパターン5側での、該シリサイド膜11と前記ソース/ドレイン領域10中のシリコンとの界面においてその不純物濃度が低くなり、これに起因して十分なオーミック接触がとれなくなり、これによってゲート端で接合リークや、FET I_{DS}-V_{DS}特性の線形領域の立ち上がり不良が引き起こされるおそれがある。すなわち、高融点金属シリサイド膜11とソース/ドレイン領域10中のシリコンとの界面は、不純物低濃度領域8と不純物高濃度領域9とのほぼ境界部に位置していることから、この界面が不純物低濃度領域8側にあるときにこのような現象が引き起こされてしまうのである。そして、このような不都合は、高融点金属膜を堆積形成するに先立ち、希フッ酸による洗浄がなされることによって側壁膜7が後退した場合に、より起こる確率が高くなってしまう。

【0007】本発明は前記事情に鑑みてなされたもので、その目的とするところは、高融点金属シリサイド膜

とソース／ドレイン領域中のシリコンとの界面において、十分なオーミック接触が確保されたMOS型半導体装置と、これを得ることのできる製造方法とを提供することにある。

【0008】

【課題を解決するための手段】本発明のMOS型半導体装置では、高融点金属シリサイド膜のゲートパターン側の側端が、不純物高濃度領域のゲートパターン側の側端より該ゲートパターンから離れて配置されてなることを前記課題の解決手段とした。このMOS型半導体装置によれば、高融点金属シリサイド膜のゲートパターン側の側端が、不純物高濃度領域のゲートパターン側の側端より該ゲートパターンから離れて配置され、すなわち従来のごとく不純物低濃度領域と不純物高濃度領域との境界部でなく不純物高濃度領域中に高融点金属シリサイド膜のゲートパターン側の側端が位置せしめられているので、該側端で高融点シリサイドに接触するシリコンの不純物濃度が、オーミック接触を十分確保し得る高い濃度となる。

【0009】本発明における請求項2記載のMOS型半導体装置の製造方法では、ゲートパターンおよび側壁膜をマスクにしてシリコン基板の表層部に、先に行ったイオン注入のときより高濃度で第2導電型の不純物をイオン注入するにあたって、このイオン注入を、シリコン基板表面に対してイオンを斜めに打ち込むことによって行うようにしたことを前記課題の解決手段とした。この製造方法によれば、ゲートパターンとその両側の側壁膜をマスクとしてイオン注入を行うものの、このイオン注入を斜め打ち込みで行うことから、後の熱処理による活性化により、マスクとした側壁膜の直下外側部にまで不純物高濃度領域が形成される。したがって、側壁膜をマスクとしてその外側に形成された高融点金属シリサイド膜のゲートパターン側の側端が、確実に不純物高濃度領域中に位置せしめられることになる。

【0010】本発明における請求項3記載のMOS型半導体装置の製造方法では、高濃度でイオン注入する工程と高融点金属膜を形成する工程との間に、ゲートパターンおよび側壁膜を覆ってシリコン基板上に第2の絶縁膜を堆積形成する工程と、前記第2の絶縁膜を異方性エッチングすることにより、前記ゲートパターンの両側にある側壁膜の側部に該第2の絶縁膜からなる第2の側壁膜を形成する工程とを備えたことを前記課題の解決手段とした。この製造方法によれば、高濃度でイオン注入する際のマスクとしてゲートパターンの両側の側壁膜を用い、シリサイド形成後に分離膜となる側壁膜として前記ゲートパターンの両側の側壁膜とさらにこれの側部の第2の側壁膜とを用いているので、形成される高融点金属シリサイド膜が第2の側壁膜の長さ分ゲートパターンより離れ、これにより該高融点金属シリサイド膜のゲートパターン側の側端が、確実に不純物高濃度領域中に位置

せしめられるようになる。

【0011】本発明における請求項4記載のMOS型半導体装置の製造方法では、ゲートパターンを覆ってシリコン基板上に第1の絶縁膜を堆積形成し、その後該第1の絶縁膜上よりシリコン基板の表層部に、先に行ったイオン注入のときより高濃度で第2導電型の不純物をイオン注入する。次に、第1の絶縁膜を覆って第2の絶縁膜を堆積形成し、次いで熱処理を行ってソース／ドレイン領域を形成し、さらに第1の絶縁膜および第2の絶縁膜を異方性エッチングすることにより、第1の絶縁膜および第2の絶縁膜からなる側壁膜を形成する。その後、高融点金属膜を形成しシリサイド化を行うことにより、ソース／ドレイン領域に高融点金属シリサイド膜を形成することを前記課題の解決手段とした。

【0012】この製造方法によれば、第1の絶縁膜上より不純物を高濃度でイオン注入するので、この高濃度の不純物はゲートパターンとその両側壁に形成された膜厚の厚い部分を避けた状態でシリコン基板の表層部に打ち込まれる。そして、第1の絶縁膜および第2の絶縁膜からなる側壁膜を形成し、該側壁膜を避けた状態で高融点金属シリサイド膜を形成するので、該側壁膜が、高濃度の不純物を打ち込んだ際にマスクとして機能したゲートパターンの両側壁の膜厚の厚い部分より横方向の長さ（ゲート長方向の長さ）が長くなることにより、得られる高融点金属シリサイド膜のゲートパターン側の側端が、確実に不純物高濃度領域中に位置せしめられることになる。また、第1の絶縁膜上よりイオン注入を行い、すなわち第1の絶縁膜を通してイオン注入を行うので、ソース／ドレイン形成予定領域に対してのダメージが軽減され、これによりソース／ドレイン領域への均一で熱的に安定な高融点金属シリサイド膜の形成が可能になる。同様に、ゲート電極部へのダメージも軽減されるため、ゲート酸化膜の信頼性が向上する。

【0013】

【発明の実施の形態】以下、本発明をその実施の形態により詳しく説明する。図1(a)～(d)は本発明における請求項2記載の製造方法を、図4(a)～(f)に示した従来例と同様にNMOS FETの製造に適用した場合の一実施形態例を説明するための図である。この例において図4に示した従来の製造方法と異なるところは、P型（第1導電型）シリコン基板1の表層部に、先に行ったイオン注入のときより高濃度でN型（第2導電型）の不純物をイオン注入するにあたって、このイオン注入を、シリコン基板表面に対してイオンを斜めに打ち込むことによって行うようにした点である。

【0014】すなわちこの例では、まず、図4(a)に示したごとく従来と同様にして、P型シリコン基板1にPウェル（図示略）、フィールド酸化膜2を形成し、次いでゲート酸化膜3、ポリシリコン電極4からなるゲートパターン5を形成し、さらにこのゲートパターン5、

前記フィールド酸化膜 2 をマスクにして P 型シリコン基板 1 表層部に N 型不純物を低濃度でイオン注入する。次に、図 4 (b) に示すようにゲートパターン 5 を覆って P 型シリコン基板 1 上に、CVD 法によって SiO_2 からなる酸化膜 6 を堆積形成し、さらに図 1 (a) に示すように反応性イオンエッチングによる異方性エッチングによってゲートパターン 5 の両側に、図 1 (a) 中 w で示す長さが $0.15 \mu\text{m}$ 程度の側壁膜 (サイドウォール) 7 を形成する。

【0015】次いで、図 1 (b) にて矢印で示すようにゲートパターン 5 および側壁膜 7、前記フィールド酸化膜 2 をマスクにして P 型シリコン基板 1 表層部に N 型不純物を高濃度でイオン注入する。このイオン注入法としては、前述したように従来のごとく P 型シリコン基板 1 に対して直交する方向でなく、斜めに打ち込むことにより行う。具体的には、N 型不純物として As^+ を用い、加速エネルギーを 50 keV 、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ とし、さらにイオンの入射角度を 70° とし、この条件でイオン注入を行い、その後 P 型シリコン基板 1 を水平方向に 180° 回転させて同一のイオン注入を再度行う。このようにして斜めにイオン注入を行うと、従来と同様に側壁膜 7 をマスクにしているにもかかわらず、不純物イオンは側壁膜 7 の直下外側部にまで到達する。

【0016】続いて、P 型シリコン基板 1 を N_2 雰囲気にて 850°C で 20 分間程度熱処理し、先にイオン注入した低濃度の N 型イオンからなる不純物と高濃度の N 型イオンからなる不純物とを活性化させ、拡散させる。そして、これにより図 1 (c) に示すように不純物低濃度領域 20 と不純物高濃度領域 21 とからなるソース/ドレイン領域 22 を形成する。ここで、形成された不純物高濃度領域 21 は、高濃度の不純物イオン注入を斜め打ち込みで行っており、これによって不純物イオンが側壁膜 7 の直下外側部にまで到達していることから、当然そのゲートパターン 5 側の側端が側壁膜 7 の直下外側部に位置するものとなっている。

【0017】次いで、1%程度の濃度のフッ化水素酸で 20 秒間程度の洗浄を行い、続いて従来と同様に Ti 等の高融点金属からなる膜 (図示略) を堆積形成し、さらに 2 段階短時間アニール法によってソース/ドレイン領域 22 上、およびポリシリコン電極 4 上に高融点金属シリサイド膜を形成する。その際、未反応の高融点金属を、高融点金属シリサイド膜との間で選択比のとれる酸によってエッチングすることにより、P 型シリコン基板 1 上からこれを除去し、図 1 (d) に示すように側壁膜 7 の形成位置を除くソース/ドレイン領域 22 上、およびゲートパターン 5 のポリシリコン電極 4 上にのみ高融点金属シリサイド膜 23 を残した状態で該シリサイド膜 23 を形成し、本発明における請求項 1 記載の MOS 型半導体装置の一例となる NMOS FET 15 を得る。

【0018】このようにして得られた NMOS FET 15 にあっては、ソース/ドレイン領域 22 上の高融点金属シリサイド膜 23 のゲートパターン側の側端が、不純物高濃度領域 21 のゲートパターン側の側端より該ゲートパターンから離れて配置され、すなわち従来のごとく不純物低濃度領域 8 と不純物高濃度領域 9 との境界部でなく不純物高濃度領域 21 中に高融点金属シリサイド膜 23 のゲートパターン側の側端が位置せしめられているので、該側端で高融点シリサイドに接触するシリコンの不純物濃度が、オーミック接触を十分確保し得る高濃度となり、これによりゲート端での接合リークや、 $\text{FET I}_{\text{DS}} - \text{V}_{\text{DS}}$ 特性の線形領域の立ち上がり不良を抑制することができる。

【0019】また、このような製造方法にあっては、イオン注入を斜め打ち込みで行うことにより、マスクとした側壁膜 7 の直下外側部にまで不純物高濃度領域 21 を形成することができ、したがって、側壁膜 7 をマスクとしてその外側に形成された高融点金属シリサイド膜 11 のゲートパターン側の側端を、不純物高濃度領域 23 中に確実に位置させることができる。さらに、側壁膜 7 の長さ、高濃度でのイオン注入の際のイオン種、注入角度、加速エネルギー、ドーズ量を適宜に選ぶことにより、サブミクロン FET で問題となる短チャンネル効果を抑制しつつ、高駆動を実現することもできる。同時に、高融点金属膜形成前の洗浄により、側壁膜 7 が若干後退しても、ゲート端での接合リーク、 $\text{FET I}_{\text{DS}} - \text{V}_{\text{DS}}$ 特性の線形領域の立ち上がり不良に対するマージンを確保することもできる。

【0020】図 2 (a) ~ (e) は本発明における請求項 3 記載の製造方法を、図 4 (a) ~ (f) に示した従来例と同様に NMOS FET の製造に適用した場合の一実施形態例を説明するための図である。この例において図 4 (a) ~ (f) に示した従来の製造方法と異なるところは、高濃度でイオン注入する工程と高融点金属膜を形成する工程との間に、ゲートパターンおよび側壁膜を覆ってシリコン基板上に第 2 の絶縁膜を堆積形成する工程と、前記第 2 の絶縁膜を異方性エッチングすることにより、前記ゲートパターンの両側にある側壁膜の側部に該第 2 の絶縁膜からなる第 2 の側壁膜を形成する工程とを備えた点である。

【0021】すなわちこの例では、まず、図 4 (a) に示したごとく従来と同様に、P 型シリコン基板 1 に P ウェル (図示略)、フィールド酸化膜 2 を形成し、次いでゲート酸化膜 3、ポリシリコン電極 4 からなるゲートパターン 5 を形成し、さらにこのゲートパターン 5、前記フィールド酸化膜 2 をマスクにして P 型シリコン基板 1 表層部に N 型不純物を低濃度でイオン注入する。次に、図 4 (b) に示すようにゲートパターン 5 を覆って P 型シリコン基板 1 上に、CVD 法によって SiO_2 からなる酸化膜 6 を堆積形成し、さらに図 4 (c) に示す

ように反応性イオンエッチングによる異方性エッチングによってゲートパターン5の両側に長さが0.15 μ m程度の側壁膜7を形成する。

【0022】次いで、図2(a)に示すようにゲートパターン5および側壁膜7、前記フィールド酸化膜2をマスクにしてP型シリコン基板1表層部にN型不純物を高濃度でイオン注入する。なお、ここでのイオン注入法については、図1に示した例と異なり斜め打ち込みでなく、従来と同様にP型シリコン基板1に対して直交する方向に行う。また、イオン注入条件としては、例えばN型不純物としてAs⁺を用い、加速エネルギーを50keV、ドーズ量を 4×10^{15} cm⁻²とする。

【0023】次いで、図2(b)に示すように、ゲートパターン5および側壁膜7を覆ってP型シリコン基板1上に、CVD法によってSiO₂からなる第2の酸化膜(第2の絶縁膜)25を厚さ60nm程度に堆積形成する。続いて、P型シリコン基板1をN₂雰囲気にて850℃で20分間程度熱処理し、先にイオン注入した低濃度のN型イオンからなる不純物と高濃度のN型イオンからなる不純物とを活性化させ、拡散させる。そして、これにより図2(c)に示すように不純物低濃度領域30と不純物高濃度領域31とからなるソース/ドレイン領域32を形成する。

【0024】次いで、前記第2の酸化膜25を反応性イオンエッチングによる異方性エッチングにより、図2(d)に示すようにゲートパターン5の両側にある側壁膜7の側部に第2の酸化膜25からなる第2の側壁膜26を形成する。そして、1%程度の濃度のフッ化水素酸で20秒間程度の洗浄を行い、続いて従来と同様にTi等の高融点金属からなる膜(図示略)を堆積形成し、さらに2段階短時間アニール法によってソース/ドレイン領域32上、およびポリシリコン電極4上に高融点金属シリサイド膜を形成する。その際、未反応の高融点金属を、高融点金属シリサイド膜との間で選択比のとれる酸によってエッチングすることにより、P型シリコン基板1上からこれを除去し、図2(e)に示すように側壁膜7、第2の側壁膜26の形成位置を除くソース/ドレイン領域32上、およびゲートパターン5のポリシリコン電極4上にのみ高融点金属シリサイド膜33を残した状態で該シリサイド膜33を形成し、本発明における請求項1記載のMOS型半導体装置の一例となるNMOS FET16を得る。

【0025】このようにして得られたNMOS FET16にあっても、ソース/ドレイン領域32上の高融点金属シリサイド膜33のゲートパターン側の側端が、従来のごとく不純物低濃度領域8と不純物高濃度領域9との境界部でなく、不純物高濃度領域31中に高融点金属シリサイド膜33のゲートパターン側の側端が位置せしめられているので、該側端で高融点シリサイドに接触するシリコンの不純物濃度が、オーミック接触を十分確保

し得る高濃度となり、これによりゲート端での接合リークや、FET I_{DS}-V_{DS}特性の線形領域の立ち上がり不良を抑制することができる。

【0026】また、このような製造方法にあつては、高濃度でイオン注入する際にマスクとしてゲートパターン5の両側の側壁膜7を用い、シリサイド形成後に分離膜となる側壁膜として前記側壁膜7とさらにこれの側部の第2の側壁膜26とを用いているので、形成される高融点金属シリサイド膜33を第2の側壁膜の長さ分ゲートパターン5より離すことができ、これにより該高融点金属シリサイド膜33のゲートパターン側の側端を、不純物高濃度31領域中に確実に位置させることができる。

【0027】さらに、従来ではイオン注入後の不純物活性化のための熱処理時に、ソース/ドレイン形成予定領域の表面、およびポリシリコン電極(ゲート電極部)4が露出していることにより、巻き込み酸化膜が形成されるおそれがあったが、前記方法例では第2の酸化膜25によってこれらを覆った状態で、すなわち第2の酸化膜25でこれらを保護した状態で熱処理を行うため、巻き込み酸化膜の形成を防止することができ、したがって均一で熱的に安定な高融点金属シリサイド膜33を形成することができ、これにより得られる半導体装置の素子特性のばらつきを抑えることができる。また、第2の酸化膜25の厚さを適宜に選ぶことにより、非シリサイド化ソース/ドレイン領域32の寄生抵抗を抑えると同時に、高融点金属膜形成前の洗浄による側壁膜の後退に起因する、ゲート端での接合リーク、FET I_{DS}-V_{DS}特性の線形領域の立ち上がり不良が起こるのを抑制することができる。

【0028】なお、図2に示した例では、高濃度でイオン注入する工程、ゲートパターン5および側壁膜7を覆ってシリコン基板上に第2の酸化膜25を堆積形成する工程、熱処理による不純物活性化の工程、および第2の酸化膜25を異方性エッチングすることによって側壁膜7の側部に第2の側壁膜26を形成する工程を、この順に行ったが、請求項3記載の発明においては、第2の酸化膜を堆積する工程と、第2の酸化膜を異方性エッチングすることによって第2の側壁膜を形成する工程とを、高濃度でイオン注入する工程と、熱処理による不純物活性化の工程との間に行う、あるいは、前記二つの工程を、熱処理による不純物活性化の工程と、高融点金属膜を形成する工程との間に行う等の種々の変形が包含されるものである。

【0029】図3(a)~(e)は本発明における請求項4記載の製造方法を、図4(a)~(f)に示した従来例と同様にNMOS FETの製造に適用した場合の一実施形態例を説明するための図である。この例では、まず、図4(a)に示したごとく従来と同様にして、P型シリコン基板1にPウェル(図示略)、フィールド酸化膜2を形成し、次いでゲート酸化膜3、ポリシリコン

電極4からなるゲートパターン5を形成し、さらにこのゲートパターン5、前記フィールド酸化膜2をマスクにしてP型シリコン基板1表層部にN型不純物を低濃度でイオン注入する。次に、図4(b)に示すようにゲートパターン5を覆ってP型シリコン基板1上に、CVD法によって SiO_2 からなる酸化膜(第1の酸化膜)6を堆積形成する。

【0030】次いで、図3(a)に示すように、ゲートパターン5をマスクにして前記第1の酸化膜6上よりP型シリコン基板1中にN型の不純物を高濃度でイオン注入する。すると、イオン注入によって形成される高濃度の不純物領域は、ゲートパターン5とその両側壁に形成された膜厚の厚い部分、すなわち後に側壁膜となる部分を避けた状態でP型シリコン基板1中に位置したものとなる。なお、ここでのイオン注入法およびその注入条件については、図2に示した例と同様とする。続いて、図3(b)に示すように前記第1の酸化膜6を覆ってCVD法により、 SiO_2 からなる第2の酸化膜(第2の絶縁膜)35を厚さ60nm程度に堆積形成する。

【0031】次いで、P型シリコン基板1を N_2 雰囲気にて850℃で20分間程度熱処理し、先にイオン注入した低濃度のN型イオンからなる不純物と高濃度のN型イオンからなる不純物とを活性化させ、拡散させる。そして、これにより図3(c)に示すように不純物低濃度領域40と不純物高濃度領域41とからなるソース/ドレイン領域42を形成する。さらに、第2の酸化膜35および第1の酸化膜6に対して反応性イオンエッチングによる異方性エッチングを行うことにより、図3(d)に示すようにゲートパターン5の両側に第1の酸化膜6および第2の酸化膜35からなる側壁膜36を形成する。ここで、得られる側壁膜36は、ゲートパターン5の側壁面に付着した酸化膜6、35の厚さ(長さ)の合計によって決まることから、従来のごとく(第1の)酸化膜6からのみ得られた側壁膜7の長さ(厚さ)に比べ十分に長い(厚い)ものとなっている。

【0032】そして、1%程度の濃度のフッ化水素酸で20秒間程度の洗浄を行い、続いて従来と同様にTi等の高融点金属からなる膜(図示略)を堆積形成し、さらに2段階短時間アニール法によってソース/ドレイン領域42上、およびポリシリコン電極4上に高融点金属シリサイド膜を形成する。その際、未反応の高融点金属を、高融点金属シリサイド膜との間で選択比のとれる酸によってエッチングすることにより、P型シリコン基板1上からこれを除去し、図3(e)に示すように側壁膜7、第2の側壁膜26の形成位置を除くソース/ドレイン領域42上、およびゲートパターン5のポリシリコン電極4上にも高融点金属シリサイド膜43を残した状態で該シリサイド43を形成し、本発明における請求項1記載のMOS型半導体装置の一例となるNMOS FET17を得る。

【0033】このようにして得られたNMOS FET17にあっても、ソース/ドレイン領域42上の高融点金属シリサイド膜43のゲートパターン側の側端が、従来のごとく不純物低濃度領域8と不純物高濃度領域9との境界部でなく、不純物高濃度領域41中に高融点金属シリサイド膜43のゲートパターン側の側端が位置せしめられているので、該側端で高融点シリサイドに接触するシリコンの不純物濃度が、オーミック接触を十分確保し得る高濃度となり、これによりゲート端での接合リークや、 $\text{FET I}_{\text{DS}} - \text{V}_{\text{DS}}$ 特性の線形領域の立ち上がり不良を抑制することができる。

【0034】また、このような製造方法にあつては、第1の酸化膜6上より不純物を高濃度でイオン注入するので、この高濃度の不純物を、ゲートパターン5とその両側壁に形成された膜厚の厚い部分を避けた状態でP型シリコン基板1の表層部に打ち込むことができる。そして、第1の酸化膜6および第2の酸化膜35からなる側壁膜36を形成し、該側壁膜36を避けた状態で高融点金属シリサイド膜43を形成するので、該側壁膜36が、高濃度で不純物を打ち込んだ際にマスクとして機能させたゲートパターンの両側壁の膜厚の厚い部分より横方向の長さ(ゲート長方向の長さ)が長くなることにより、得られる高融点金属シリサイド膜43のゲートパターン5側の側端を、不純物高濃度領域41中に確実に位置させることができる。

【0035】また、第1の酸化膜6上よりイオン注入を行い、すなわち第1の酸化膜6を通してイオン注入を行うので、ソース/ドレイン形成予定領域に対してのダメージを軽減することができ、これによりソース/ドレイン領域42に均一で熱的に安定な高融点金属シリサイド膜43を形成することができ、得られる半導体装置の素子特性のばらつきを抑えることができる。同様に、ポリシリコン電極(ゲート電極部)4へのダメージも軽減することができるため、ゲート酸化膜3の信頼性を向上させることができる。

【0036】さらに、図2に示した例と同様に、イオン注入後の不純物活性化のための熱処理を、第1の酸化膜6および第2の酸化膜35により、ソース/ドレイン形成予定領域の表面およびポリシリコン電極(ゲート電極部)4を覆った状態で行うため、巻き込み酸化膜の形成を防止することができ、したがって均一で熱的に安定な高融点金属シリサイド膜43を形成することができることから、得られる半導体装置の素子特性のばらつきを抑えることができる。また、第1の酸化膜6、第2の酸化膜25の厚さを適宜に選ぶことにより、非シリサイド化ソース/ドレイン領域32の寄生抵抗を抑えると同時に、高融点金属膜形成前の洗浄による側壁膜の後退に起因する、ゲート端での接合リーク、 $\text{FET I}_{\text{DS}} - \text{V}_{\text{DS}}$ 特性の線形領域の立ち上がり不良が起こるのを抑制することができる。

【0037】なお、図3に示した例では、低濃度ならびに高濃度でイオン注入されたN型不純物を活性化する工程を、第1酸化膜6を覆ってCVD法により、 SiO_2 からなる第2の酸化膜35を堆積する工程と、第2の酸化膜および第1の酸化膜6を異方性エッチングによって側壁膜36を形成する工程との間に行ったが、請求項4記載の発明においては、該工程を、N型の不純物を高濃度でイオン注入する工程と、第2の酸化膜を堆積する工程との間、あるいは、異方性エッチングによって側壁膜を形成する工程と、高融点金属膜を形成する工程との間に行ってもよい。

【0038】また、本発明における請求項1記載のMOS型半導体装置を製造するにあたっては、特に図2に示した実施形態例の変形として、側壁膜7形成後にソース/ドレイン領域およびポリシリコン電極4のシリサイド化を行った後、高濃度の不純物を斜めに打ち込むようにし、さらに打ち込んだ不純物の熱処理による活性化を、その後形成する層間絶縁膜のリフロー処理によって代用するようにしてもよい。このようにして行った場合には、ソース/ドレイン領域のシリサイド化を妨げる不純物の影響や、イオン注入によるダメージが避けられるため、ソース/ドレイン領域に均一で熱的に安定な高融点金属シリサイド膜を形成することができる。

【0039】また、前記の実施形態例では、全て本発明の製造方法をNMOS FETの製造方法に適用した例を示したが、PMOS FETの製造方法に適用することもできるのはもちろんである。また、前記の実施形態例では、全てLDD構造のMOSFETの製造方法を例にとって説明を行ってきたが、シングルドレイン構造やDDD構造のものにおいても適用可能であり、さらにゲート電極部(ポリシリコン電極4)をシリサイド化しない構造においても適用可能である。さらに、前記実施形態例では、高融点金属としてTi(チタン)を用いたが、本発明はこれに限定されることなく、他に例えば、Mo(モリブデン)やW(タングステン)を用いることも可能である。

【0040】

【発明の効果】以上説明したように本発明における請求項1記載のMOS型半導体装置は、高融点金属シリサイド膜のゲートパターン側の側端が、不純物高濃度領域のゲートパターン側の側端より該ゲートパターンから離れて配置され、すなわち従来のごとく不純物低濃度領域と不純物高濃度領域との境界部でなく不純物高濃度領域中に高融点金属シリサイド膜のゲートパターン側の側端が位置せしめられたものであるから、該側端で高融点シリサイドに接触するシリコンの不純物濃度が、オーミック接触を十分確保し得る高い濃度となり、これによりゲート端での接合リークや、 $\text{FET } I_{\text{DS}} - V_{\text{DS}}$ 特性の線形領域の立ち上がり不良を抑制することができる。

【0041】請求項2記載のMOS型半導体装置の製造

方法は、ゲートパターンとその両側の側壁膜をマスクとしてイオン注入を行うものの、このイオン注入を斜め打ち込みで行うことにより、後の熱処理による活性化によってマスクとした側壁膜の直下外側部にまで不純物高濃度領域を形成するようにした方法であるから、側壁膜をマスクとしてその外側に形成された高融点金属シリサイド膜のゲートパターン側の側端を、確実に不純物高濃度領域中に位置させることができ、これにより前記請求項1記載のMOS型半導体装置を容易に製造することができる。

【0042】請求項3記載のMOS型半導体装置の製造方法は、高濃度でイオン注入する際のマスクとしてゲートパターンの両側の側壁膜を用い、シリサイド形成後に分離膜となる側壁膜として前記ゲートパターンの両側の側壁膜とさらにこれの側部の第2の側壁膜とを用い、形成される高融点金属シリサイド膜を第2の側壁膜の長さ分ゲートパターンより離すようにした方法であるから、該高融点金属シリサイド膜のゲートパターン側の側端を、確実に不純物高濃度領域中に位置させることができ、これにより前記請求項1記載のMOS型半導体装置を容易に製造することができる。

【0043】請求項4記載のMOS型半導体装置の製造方法は、第1の絶縁膜上より不純物を高濃度でイオン注入することにより、この高濃度の不純物をゲートパターンとその両側壁に形成された膜厚の厚い部分を避けた状態でシリコン基板の表層部に打ち込むようにした方法であり、また、第1の絶縁膜および第2の絶縁膜からなる側壁膜を形成し、該側壁膜を避けた状態で高融点金属シリサイド膜を形成することにより、該側壁膜が、高濃度の不純物を打ち込んだ際にマスクとして機能したゲートパターンの両側壁の膜厚の厚い部分より横方向の長さ(ゲート長方向の長さ)が長くなるようにした方法であるから、得られる高融点金属シリサイド膜のゲートパターン側の側端を、確実に不純物高濃度領域中に位置させることができ、これにより前記請求項1記載のMOS型半導体装置を容易に製造することができる。また、第1の絶縁膜上よりイオン注入を行い、すなわち第1の絶縁膜を通してイオン注入を行うので、ソース/ドレイン形成予定領域に対してのダメージを軽減することができ、これによりソース/ドレイン領域に均一で熱的に安定な高融点金属シリサイド膜を形成することができ、得られる半導体装置の素子特性のばらつきを抑えることができる。同様に、ゲート電極部へのダメージも軽減することができるため、ゲート酸化膜の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】(a)～(d)は本発明における請求項2記載のMOS型半導体装置の製造方法の一実施形態例を工程順に説明するための要部側断面図である。

【図2】(a)～(e)は本発明における請求項3記載

15

のMOS型半導体装置の製造方法の一実施形態例を工程順に説明するための要部側断面図である。

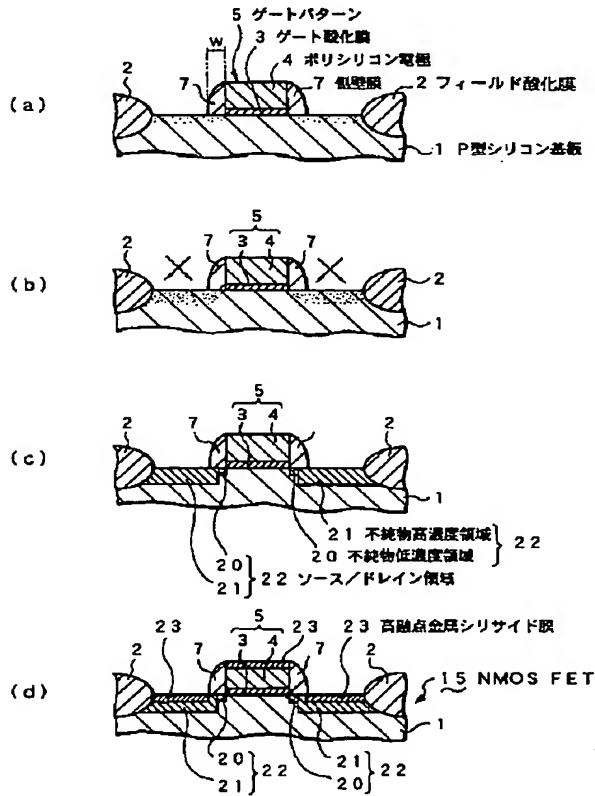
【図3】(a)～(e)は本発明における請求項4記載のMOS型半導体装置の製造方法の一実施形態例を工程順に説明するための要部側断面図である。

【図4】(a)～(f)は従来のMOS型半導体装置の製造方法の一例を工程順に説明するための要部側断面図である。

【符号の説明】

- 1 P型シリコン基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜

【図1】

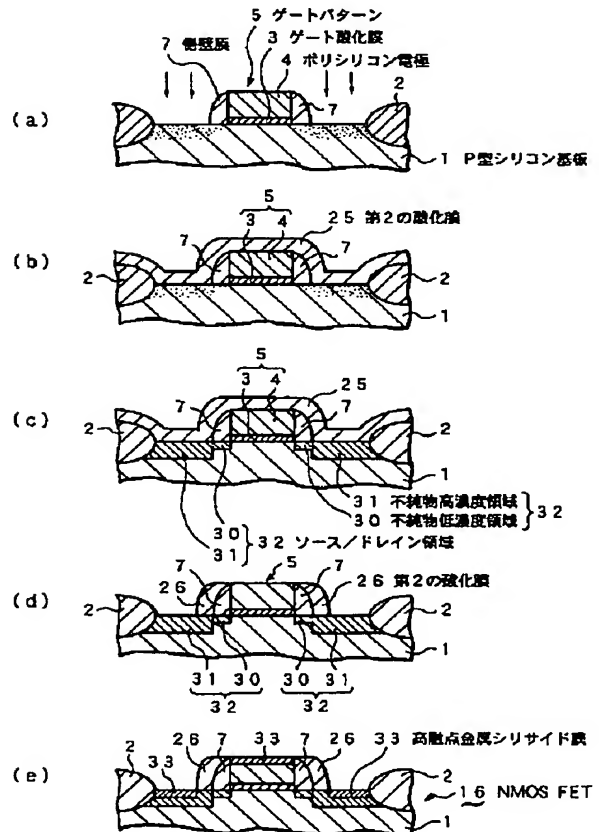


本発明の製造工程説明図

16

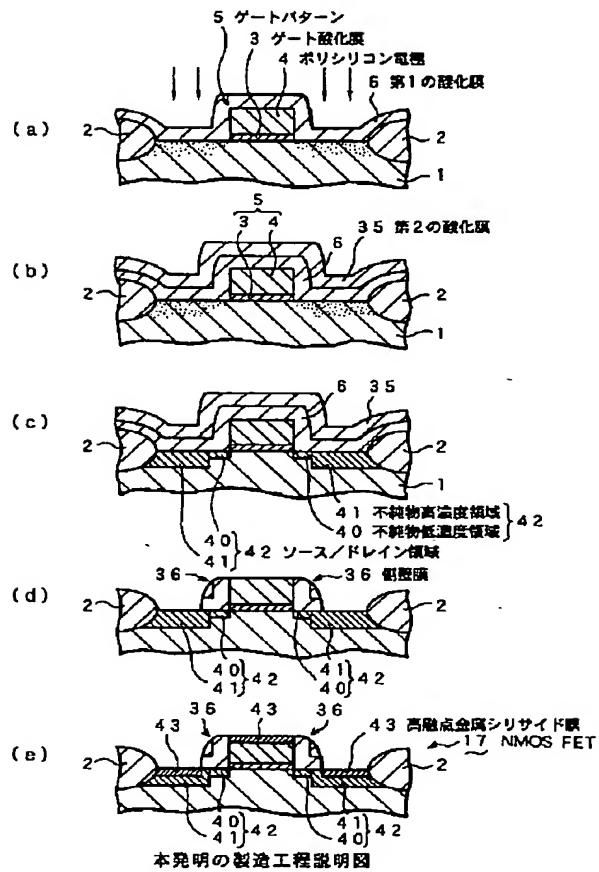
- 4 ポリシリコン電極 (ゲート電極部)
- 5 ゲートパターン
- 6 酸化膜 (絶縁膜)
- 7 側壁膜
- 8、20、30、40 不純物低濃度領域
- 9、21、31、41 不純物高濃度領域
- 10、22、32、42 ソース/ドレイン領域
- 11、23、33、43 高融点金属シリサイド膜
- 14、15、16、17 NMOS FET
- 10 25 第2の酸化膜 (第2の絶縁膜)
- 26 第2の側壁膜
- 35 第2の酸化膜 (第2の絶縁膜)

【図2】

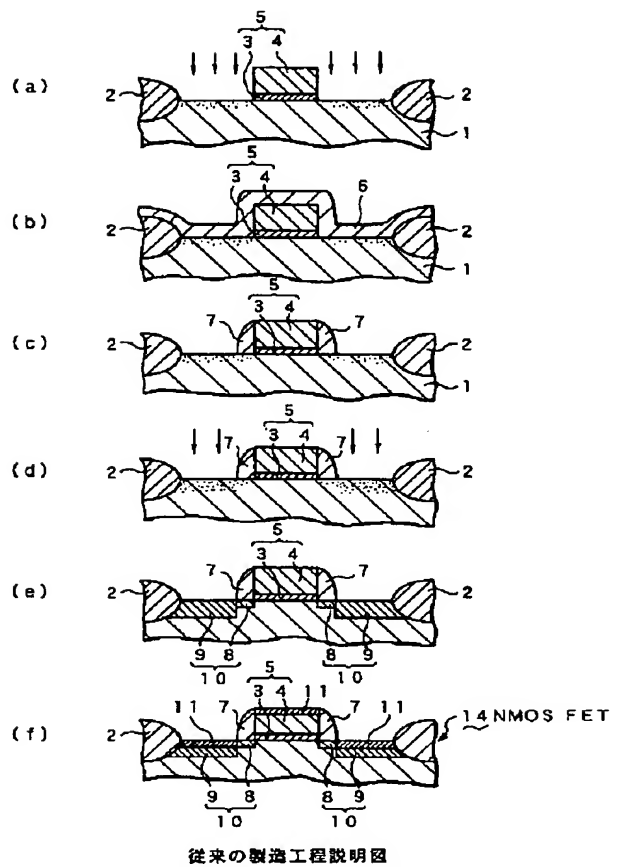


本発明の製造工程説明図

【図3】



【図4】



フロントページの続き

(51)Int. Cl. 6

識別記号

庁内整理番号

F I

H 0 1 L 29/78

3 0 1 G

技術表示箇所